

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] In the SOI substrate which pastes up the 1st semiconductor wafer and 2nd semiconductor wafer, and is formed said 1st semiconductor wafer The oxygen density between grids is 1×10^{18} atoms/cm³ (old ASTM) to a principal plane side at least. A principal plane is a mirror plane, while newly forming the layer of the same following in the 1st semiconductor wafer concerned and equipping it with it below. And said 2nd semiconductor wafer A principal plane is a mirror plane at least. The inside of said 1st and 2nd semiconductor wafers, It is what is heat-treated and pasted up while an oxide film is formed in the principal plane of one [at least] semiconductor wafer and being stuck to both principal planes. A SOI layer is a SOI substrate which it newly forms in said 1st semiconductor wafer, prepares for it, and the oxygen density between the grid is three or less 1×10^{18} atoms/cm, and is characterized by SOI thickness being 5 micrometers or less.

[Claim 2] In the manufacture approach of the SOI substrate which pastes up the 1st semiconductor wafer and 2nd semiconductor wafer, and is formed said 1st semiconductor wafer At least, while the oxygen density between grids equips a principal plane side with a three or less 1×10^{18} atoms/cm layer, a principal plane is a mirror plane. And said 2nd semiconductor wafer The process heat-treated and pasted up while a principal plane is a mirror plane at least, and sticking both principal planes, after forming an oxide film in the principal plane of one [at least] semiconductor wafer among said 1st and 2nd semiconductor wafers, The manufacture approach of the SOI substrate characterized by having the process at which it thin-film-izes, and the oxygen density between said grids leaves only a three or less 1×10^{18} atoms/cm layer to, and mirror-plane-izes the field from the rear-face side of said 1st semiconductor wafer.

[Claim 3] For a three or less 1×10^{18} atoms/cm layer, the oxygen density between said grids is the manufacture approach of a SOI substrate according to claim 2 that it is characterized by being formed of epitaxial growth at the temperature of 800 degrees C or more.

[Claim 4] For a three or less 1×10^{18} atoms/cm layer, the oxygen density between said grids is the manufacture approach of a SOI substrate according to claim 2 that it is characterized by being formed of heat treatment of 800 degrees C or more in the gas ambient atmosphere in which reducibility is.

[Claim 5] For a three or less 1×10^{18} atoms/cm layer, the oxygen density between said grids is the manufacture approach of a SOI substrate according to claim 2 that it is characterized by being formed of heat treatment of 800 degrees C or more in an inert gas ambient atmosphere.

[Translation done.]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semi-conductor substrate with SOI structure, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, a dielectric layer is made to intervene between the 1st semiconductor wafer and the 2nd semiconductor wafer, and the SOI (Silicon On Insulator) substrate pasted up and formed is known.

[0003] The manufacture approach of this kind of semi-conductor substrate is as follows. That is, the oxide film (SiO_2) used as a dielectric layer is formed at least in one side among the 1st semiconductor wafer and the 2nd semiconductor wafer, said semiconductor wafer of two sheets is stuck, heat measures are taken, and an adhesion wafer is formed.

[0004] Then, grinding and etching remove a part for non-jointing of the adhesion wafer circumference produced by sagging generated at the time of mirror plane processing of a wafer, and after carrying out grinding so that it may become the thickness of a request of the layer used as the device formative layer, it considers as a SOI substrate after mirror polishing as finishing.

[0005] The SOI substrate by such conventional pasting-up method is formed in sequence as shown for example, in drawing 3 (1) - (5).

[0006] First, as shown in drawing 3 (1), two silicon wafers 1 and 2 are prepared.

[0007] Next, as shown in drawing 3 (2), the oxide film 5 used as a dielectric layer is formed in the front face of the silicon wafer 1. Defecation processing on the front face of adhesion of the both sides of the silicon wafer 1 and the silicon wafer 2 is performed after that, and as shown in drawing 3 (3), the silicon wafers 1 and 2 are stuck at a room temperature. Then, bond strength is increased by heat-treating at the temperature of 800 degrees C or more.

[0008] Next, although not shown in drawing, if sagging has occurred around a wafer and both sides are pasted up on the silicon wafers 1 and 2 as it is at the time of polish, non-jointing will arise. In case it washes or grinds an adhesion wafer, this non-jointing will serve as a source of raising dust, if the amount of said non-jointing separates and disperses, and a wafer front face is polluted with particle, or that part adheres to a front face and it is damaged at the time of processing. Then, grinding of the non-jointing of the silicon wafer 1 is carried out width of face of about 3mm, and etching removes. 9 is the grinding section after etching.

[0009] Then, as shown in drawing 3 (4), grinding of the silicon wafer 1 is carried out from a rear face, and it grinds so that it may become the thickness of a request of a SOI layer. Thereby, the thickness and the thin film SOI substrate whose homogeneity barrier layer thickness is about **1 micrometer in 2 micrometers or more are formed.

[0010] As shown in this last at drawing 3 (5), it is monthly publication Semiconductor. World PACE (Plasma-Assisted Chemical Etching) processing indicated by No. 1994.4 is performed, a touch polish (the amount of polishes is several 10A - 100A of numbers) is performed after that for the etching residue removal which remains in a processing front face, and surface roughness reduction, and SOI thickness forms the super-thin film SOI substrate whose tolerance is **10%

by about 0.1 micrometers.

[0011]

[Problem(s) to be Solved by the Invention] In the SOI layer of the thickness and the thin film SOI substrate manufactured by said conventional manufacture approach, if selective etching performs crystal defect evaluation, the crystal defect of OSF or an oxygen sludge will be observed. At the time of oxide-film formation, a silicon atom will be emitted by oxidation and OSF will grow by it, if an OSF nucleus exists in the silicon wafer 1. Moreover, an oxygen sludge will be formed in oxidation heat treatment and a lamination heat treatment process, if a precipitation-of-oxygen nucleus exists in the silicon wafer 1. Therefore, it is in the inclination for the semiconductor wafer of hypoxia to be used for the silicon wafer 1 generally (JP,7-169925,A).

[0012] However, with the thickness and the thin film SOI substrate manufactured using the semiconductor wafer of hypoxia, by removing after heat treatment and an oxide film in an oxidizing quality ambient atmosphere, in the SOI layer, when light etching performed crystal defect evaluation, the crystal defect of several $10^{-}/\text{cm}^2$ level was detected, and a crystal defect free-lancer was not able to be attained for 1000 degrees C and 16 hours. Furthermore, it is necessary to reduce further an OSF nucleus, a precipitation-of-oxygen nucleus, an oxygen sludge, etc. which exist in the silicon single crystal raising phase in a CZ process for crystal defect reduction of a SOI layer. However, if it is going to attain those crystal defect reduction in the silicon single crystal raising phase in a CZ process, in order to restrain crystal raising conditions, there is a fault of becoming a quite expensive silicon wafer. Moreover, it is difficult to make a crystal defect free completely in the silicon single crystal raising phase in a CZ process.

[0013] Moreover, a penetration pit will be observed by the SOI layer if an appraisal method as shows the SOI layer of the super-thin film SOI substrate manufactured by said conventional manufacture approach to drawing 4 estimates a crystal defect.

[0014] That is, drawing 4 (1) is a super-thin film SOI substrate shown in said drawing 3 (5), and 6 is a crystal defect. A crystal defect is made to penetrate this by dilution selective etching (for example, volume ratio etching reagent of $5\text{wt}\% \text{K}_2\text{Cr}_2\text{O}_7:48\text{wt}\% \text{HF}:\text{H}_2\text{O}=1:2:5$) (refer to drawing 4 (2)). 7 is a penetration pit. Then, by being immersed in 25wt% HF liquid, a penetration pit is embedded and it imprints to an oxide film. Thereby, the penetration pit 8 is actualized.

[0015] If the silicon single crystal pulled up by the CZ process is processed into a wafer and SC1 washing is performed, the pit which is called COP (Crystal originated Particle) and whose depth is about 0.1 micrometers will be detected. Many things which this originates in the crystal defect formed at the time of single crystal growth are reported.

[0016] It is thought that this crystal defect actualized said penetration pit. However, many pits are detected from the amount which usually repeats SC1 washing of a wafer and is observed as a pit. Although the crystal defect was etched alternatively, and remained as a pit in the thin film process of plasma etching and a part is considered to have become a penetration pit by said evaluation, this since it remains on the other hand even after COP's with a depth of about 0.1 micrometers already existing in the SOI layer by the side of a plane of composition and forming an oxide film -- the thin film process in plasma etching -- exposure -- or Although it does not expose, it exists in a SOI layer, and it is thought that this became a penetration pit by said evaluation. Therefore, it is required in the condition before super-thin film processing to make it there be no crystal defect which serves as a pit by the repeat of SC1 washing. However, it is difficult to make this crystal defect free in the silicon single crystal raising phase in a CZ process in the present condition.

[0017] Then, this invention aims at offering the SOI substrate with a cheap manufacturing cost which does not have a crystal defect in a SOI layer, and its manufacture approach by using the 1st semiconductor wafer which heat-treated or grew epitaxially.

[0018]

[Means for Solving the Problem] In the SOI substrate which invention indicated to the 1st claim of this application pastes up the 1st semiconductor wafer and 2nd semiconductor wafer, and is formed said 1st semiconductor wafer The oxygen density between grids is 1×10^{18} atoms/ cm^3 (old ASTM) to a principal plane side at least. A principal plane is a mirror plane while having the

layer of the same following b. And said 2nd semiconductor wafer A principal plane is a mirror plane at least. The inside of said 1st and 2nd semiconductor wafers, It is what is heat-treated and pasted up while an oxide film is formed in the principal plane of one [at least] semiconductor wafer and being stuck to both principal planes. It newly forms in said 1st semiconductor wafer, prepares for it, and the oxygen density between the grid is three or less 1×10^{18} atoms/cm, and a SOI layer is the SOI substrate of a configuration of that SOI thickness is 5 micrometers or less.

[0019] In the manufacture approach of the SOI substrate which invention indicated to the 2nd claim of this application pastes up the 1st semiconductor wafer and 2nd semiconductor wafer, and is formed said 1st semiconductor wafer At least, while the oxygen density between grids newly forms a three or less 1×10^{18} atoms/cm layer in the 1st semiconductor wafer concerned and equips it with it at a principal plane side, a principal plane is a mirror plane. And the principal plane of said 2nd semiconductor wafer is a mirror plane at least. The process heat-treated and pasted up while sticking both principal planes after forming an oxide film in the principal plane of one [at least] semiconductor wafer among said 1st and 2nd semiconductor wafers, It is the manufacture approach of the SOI substrate a configuration of having had the process at which it thin-film-izes, and the oxygen density between said grids leaves only a three or less 1×10^{18} atoms/cm layer to, and mirror-plane-izes the field from the rear-face side of said 1st semiconductor wafer.

[0020] Invention indicated to the 3rd claim of this application is the manufacture approach of the SOI substrate a configuration of that, as for a three or less 1×10^{18} atoms/cm layer, the oxygen density between said grids is formed of epitaxial growth at the temperature of 800 degrees C or more in invention of said 2nd claim.

[0021] Invention indicated to the 4th claim of this application is the manufacture approach of the SOI substrate a configuration of being formed of heat treatment of 800 degrees C or more in the gas ambient atmosphere in which, as for a three or less 1×10^{18} atoms/cm layer, reducibility has an oxygen density between said grids in invention of said 2nd claim.

[0022] Invention indicated to the 5th claim of this application is the manufacture approach of the SOI substrate a configuration of that, as for a three or less 1×10^{18} atoms/cm layer, the oxygen density between said grids is formed of heat treatment of 800 degrees C or more in an inert gas ambient atmosphere in invention of said 2nd claim.

[0023] Therefore, according to this invention, a SOI substrate without a crystal defect can be obtained in a SOI layer by being able to form a layer without a crystal defect lower than the oxygen density which can be attained by silicon single crystal raising by the CZ process as a surface of a wafer, and using the layer as a SOI layer by performing elevated-temperature heat treatment to the 1st semiconductor wafer in epitaxial growth, reducibility, or an inert gas ambient atmosphere.

[0024] That is, the defect-free layer which cannot be attained in silicon single crystal raising by the CZ process can be formed with epitaxial growth, and a SOI substrate without a crystal defect is obtained by using this layer as a SOI layer.

[0025] Moreover, without growing up the crystal defect of the surface of the 1st semiconductor wafer by performing elevated-temperature heat treatment to the 1st semiconductor wafer in reducibility or an inert gas ambient atmosphere, according to the out-diffusion of oxygen, and a reduction operation, shrink of the crystal defect can be carried out and it can be extinguished. A SOI substrate without a crystal defect is obtained by using the layer as a SOI layer.

[0026] Although the manufacturing cost of a wafer will generally become high if heat treatment or epitaxial growth is performed, this reason is because the prime article is used for a substrate. In the SOI substrate manufacture by lamination, since only the pole surface of the 1st semiconductor wafer is used, the wafer of dummy article level can be used for a substrate, the 1st cheap semiconductor wafer can be obtained compared with the wafer into which the crystal was pulled up and processed newly, and manufacture of a low cost SOI substrate is attained. Here, dummy article level is adhesion of a foreign matter and the local uneven wafer which is not in the wafer which is in the mirror plane condition of not generating a void by lamination in the defective (curvature, flatness, etc.) derived in the process in which a prime article is

manufactured, for example, disk-of-shape articles, a crystal defect defective, a rear-face defective, a thickness defective, etc., i.e., a front face.

[0027] As mentioned above, according to this invention, the SOI substrate with a cheap manufacturing cost which does not have a crystal defect in a SOI layer can be offered.

[0028]

[Embodiment of the Invention] Hereafter, this invention is explained to a detail based on an example. Drawing 1 is the sectional view showing the production process of the SOI substrate concerning this invention.

[0029] First, as shown in drawing 1 (1), at least one side prepares the 1st semiconductor wafer 1 by which mirror polishing was carried out. For example, in order to make a manufacturing cost cheap, a semiconductor wafer with the crystal face (100), a P type, and a dummy article level [of specific resistance 5 ohm-cm] of 6 inches is prepared.

[0030] Next, as shown in drawing 1 (2), the front face of said semiconductor wafer is etched with hydrogen or hydrochloric acid gas at an epitaxial furnace. A pyrolysis or a hydrogen reduction reaction is made to cause silane gas above 800 degrees C (for example, 1100 degrees C) under 800-degree-C or more (for example, 1100 degrees C) hydrogen gas ambient atmosphere.

Epitaxial growth of 0.1 micrometers or more, for example, 5 micrometers, is performed, and the oxygen density between grids forms the layer 4 which does not have a crystal defect below at 1×10^{18} atoms/cm³ (it is the same old ASTM and the following) on a semiconductor wafer. Since it is [the growth rate] quicker to perform it at an elevated temperature more, it is advantageous on production, but since reaction temperature has the problem a slip becomes easy to generate, it needs to perform epitaxial growth at the optimum conditions which were in the epitaxial furnace. The semiconductor wafer which has the same impurity as the impurity which will be doped if it can do is used for the semiconductor wafer to be used. Moreover, it is better to prevent the auto dope at the time of epitaxial growth, and to use the semiconductor wafer whose specific resistance is 1 or more ohm-cm for making the resistance of an epitaxial layer into a predetermined value. When the mound etc. has occurred on the epitaxial growth front face, it grinds and removes.

[0031] Next, as shown in drawing 1 (3), it is 500 degrees C or more in an oxidizing atmosphere, for example, heat-treats on an epitaxial front face at 1100 degrees C, and the oxide film 5 100A or more, for example, 2000A, is formed in it on the front face of the 1st semiconductor wafer. An oxidizing atmosphere is an ambient atmosphere containing oxygen or a steam.

[0032] Furthermore, as shown in drawing 1 (4), after washing the 1st semiconductor wafer 1 and 2nd semiconductor wafer 2 and forming adsorption moisture and a silanol group in a front face, it is made to stick by the approach which a void does not generate at a room temperature. The oxide film may be formed in the front face of the 2nd semiconductor wafer 2. Single crystal silicon or not only polish recon but a quartz, Xtal, sapphire, etc. are sufficient as the quality of the material of the wafer used for the 2nd semiconductor wafer 2. Moreover, its smaller one is good, and if TTV (Total Thickness Variation) is made, 1 micrometer or less is the optimal [TTV]. Since TTV can be made small if it is processed with a double-sided grinder, a double-sided polish article may be used.

[0033] Then, the temperature of 200 degrees C or more, for example, the time amount by which bond strength is stabilized at 1100 degrees C, for example, 2-hour heat treatment, is performed. This heat treatment may be performed after thin-film-izing, if there are no problems, such as peeling, to a thin film chemically-modified degree. Since the approach of forming an oxide film in a rear face is good in order to prevent the blemish and dirt of the rear face and chamfer in a back process, the ambient atmosphere of heat treatment has a good oxidizing atmosphere.

[0034] It is more nearly optimal for the oxygen density between grids of the 1st semiconductor wafer to use a low semiconductor wafer, in order [being possible] to spread the oxygen between grids by the side of the bulk of the 1st semiconductor wafer in an epitaxial layer and to generate a defect in oxidization and lamination heat treatment. In addition, it is desirable to form an oxide film in low temperature and a short time.

[0035] As shown in drawing 1 (5), after removing the surrounding unsealed section by grinding and etching, the thin film SOI substrate grinding and whose mirror-plane-ized SOI thickness

which grinds and does not have a damage layer in a front face are 3**1 micrometer about the rear face of the 1st semiconductor wafer 1 is formed. Especially when peeling of the circumference does not pose a problem, it is not necessary to remove the surrounding unsealed section by grinding and etching.

[0036] Finally, as shown in drawing 1 (6), PACE processing / touch polish is performed and a 0.1micrometer**10% super-thin film SOI substrate is manufactured for SOI thickness.

[0037] Drawing 2 is the sectional view showing the production process of the SOI substrate concerning other examples of this invention.

[0038] First, as shown in drawing 2 (1), the 1st semiconductor wafer 1 prepares a semiconductor wafer which was used by said example. That is, it is the 1st semiconductor wafer with which mirror polishing at least of one side was carried out, for example, a semiconductor wafer with the crystal face (100), a P type, and a dummy article level [of specific resistance 5 ohm-cm] of 6 inches is prepared.

[0039] Next, as shown in drawing 2 (2), the 1st semiconductor wafer 1 is performed in a hydrogen ambient atmosphere 800 degrees C or more, and heat treatment is performed in 10 minutes or more, for example, 1150 degrees C, for 1 hour. The flow rate at this time is performed by 0.001x10⁻³Nm³/by part for above, 90 [for example,], x10⁻³Nm³/. The mixed gas of hydrogen gas and inert gas is sufficient. Of this processing, the layer 4 in which a crystal defect does not have an oxygen density between grids at three or less 1x10¹⁸ atoms/cm is formed. Although it is more desirable to heat-treat at an elevated temperature more since it is decided by heat treatment temperature, since a surface oxygen density has problems, such as a slip and metal contamination, also in this case, it needs to measure optimization. You may grind, as long as it seems that a front face generates a rough **** void.

[0040] As shown in drawing 2 (3), it is 500 degrees C or more in an oxidizing atmosphere, for example, heat-treats on this front face at 1100 degrees C, and the oxide film 5 100A or more, for example, 2000A, is formed in it on the front face of the 1st semiconductor wafer 1. An oxidizing atmosphere is an ambient atmosphere containing oxygen or a steam. If the same heat treating furnace under said hydrogen ambient atmosphere performs this oxide-film formation processing continuously, productivity can improve and a manufacturing cost can be reduced.

[0041] Then, at the process shown in drawing 2 (4) - (6), a 0.1micrometer**10% super-thin film SOI substrate is manufactured for SOI thickness by the same processing as said 1st example.

[0042] That is, as shown in drawing 2 (4), after washing the 1st semiconductor wafer 1 and 2nd semiconductor wafer 2 and forming adsorption moisture and a silanol group in a front face, it is made to stick by the approach which a void does not generate at a room temperature. The oxide film may be formed in the front face of the 2nd semiconductor wafer 2.

[0043] Then, the temperature of 200 degrees C or more, for example, the time amount by which bond strength is stabilized at 1100 degrees C, for example, 2-hour heat treatment, is performed. This heat treatment may be performed after thin-film-izing, if there are no problems, such as peeling, to a thin film chemically-modified degree. Since the approach of forming an oxide film in a rear face is good in order to prevent the blemish and dirt of the rear face and chamfer like backward, the ambient atmosphere of heat treatment has a good oxidizing atmosphere.

[0044] It is more nearly optimal for the oxygen density between grids of the 1st semiconductor wafer to use a low semiconductor wafer, in order [being possible] to spread the oxygen between grids by the side of the bulk of the 1st semiconductor wafer in a hypoxia layer and to generate a defect in oxidization and lamination heat treatment. In addition, it is desirable to form an oxide film in low temperature and a short time.

[0045] As shown in drawing 2 (5), after removing the surrounding unsealed section by grinding and etching, the thin film SOI substrate grinding and whose mirror-plane-ized SOI thickness which grinds and does not have a damage layer in a front face are 3**1 micrometer about the rear face of the 1st semiconductor wafer 1 is formed. Especially when peeling of the circumference does not pose a problem, it is not necessary to remove the surrounding unsealed section by grinding and etching.

[0046] Finally, as shown in drawing 2 (6), PACE processing / touch polish is performed and a 0.1micrometer**10% super-thin film SOI substrate is manufactured for SOI thickness.

[0047] Although this example showed annealing in a hydrogen ambient atmosphere, an inert gas ambient atmosphere, for example, an argon gas ambient atmosphere, is sufficient.

[0048] By the above processings, the super-thin film SOI wafer for example, whose SOI thickness is about 0.1micrometer**10% is manufactured.

[0049] When said two kinds of defective evaluations actually estimated the SOI layer of the SOI substrate obtained by this invention, in the conventional method, the crystal defect free-lancer and penetration pit free-lancer who were not able to attain have attained.

[0050]

[Effect of the Invention] Since a layer with few crystal defects is used as a SOI layer according to this invention as explained above, a SOI substrate with few crystal defects in a SOI layer can be obtained. Since a low cost wafer can moreover be used for the substrate which makes a layer with few crystal defects, it is possible to obtain a low cost SOI substrate.

[0051] Thus, according to the manufacture approach of this invention, and the SOI substrate obtained by this, it is few, and the crystal defect in a SOI layer can obtain a SOI substrate with a cheap manufacturing cost, and the device application of it with a still broader SOI substrate is attained.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the production process of the SOI substrate concerning this invention.

[Drawing 2] It is the sectional view showing the production process of the SOI substrate concerning other examples of this invention.

[Drawing 3] It is the sectional view showing the production process of the SOI substrate by the conventional lamination method.

[Drawing 4] It is the sectional view showing the evaluation approach of the crystal defect of the super-thin film SOI substrate manufactured by the conventional manufacture approach.

[Description of Notations]

1 1st Semiconductor Wafer

2 2nd Semiconductor Wafer

4 Layer

5 Oxide Film

6 Crystal Defect

7 Penetration Pit

8 Actualized Penetration Pit

9 Grinding Section

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

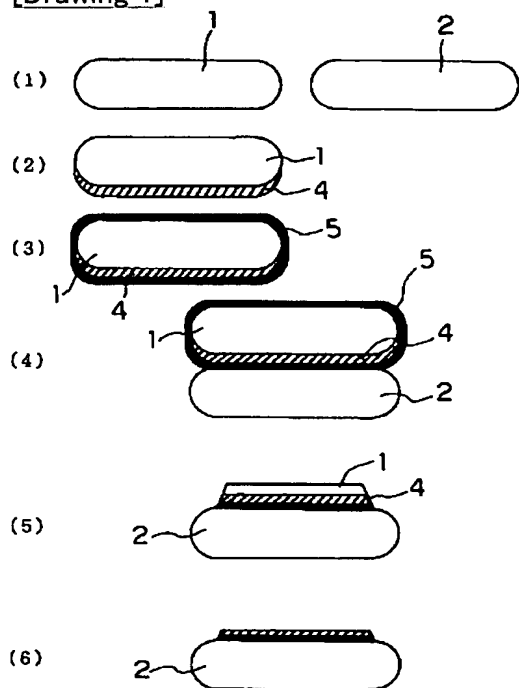
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

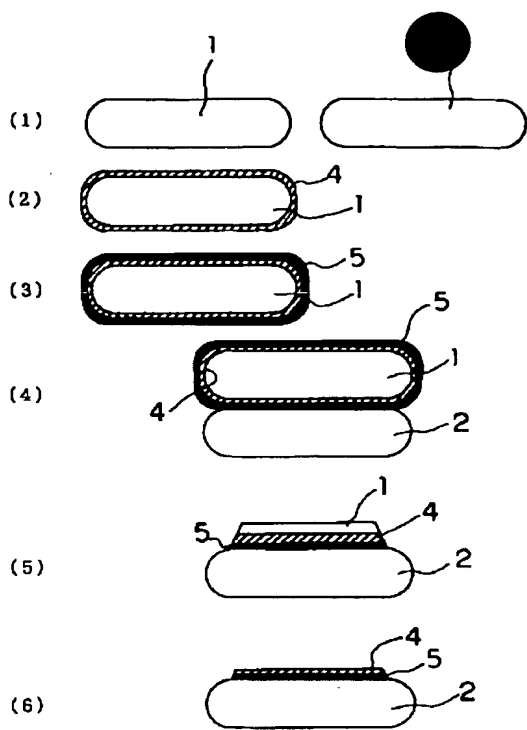
3.In the drawings, any words are not translated.

DRAWINGS

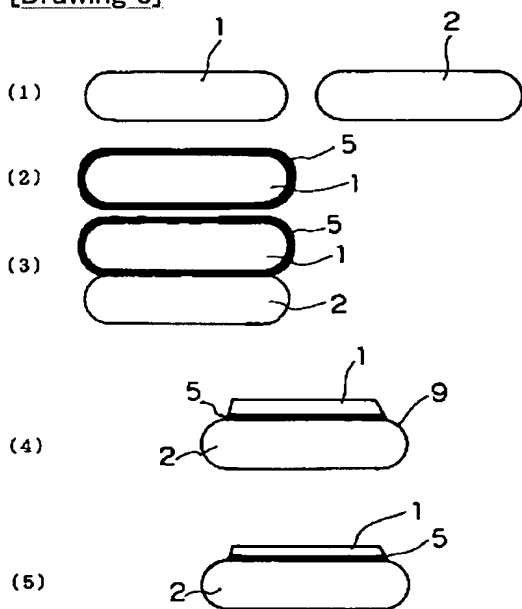
[Drawing 1]



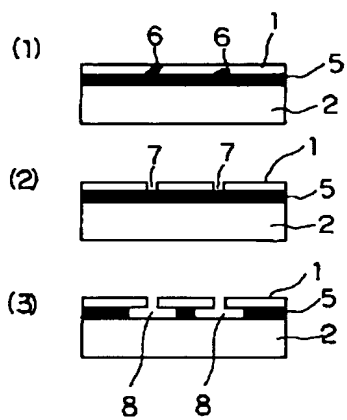
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3085184号
(P3085184)

(45)発行日 平成12年9月4日(2000.9.4)

(24)登録日 平成12年7月7日(2000.7.7)

(51)Int.Cl.⁷
H 0 1 L 27/12
21/02
21/304 6 2 2

F I
H 0 1 L 27/12 B
21/02 B
21/304 6 2 2 W

請求項の数 5 (全 7 頁)

(21)出願番号 特願平8-66027
(22)出願日 平成8年3月22日(1996.3.22)
(65)公開番号 特開平9-260619
(43)公開日 平成9年10月3日(1997.10.3)
審査請求日 平成9年6月2日(1997.6.2)

(73)特許権者 000002118
住友金属工業株式会社
大阪府大阪市中央区北浜4丁目5番33号
(72)発明者 富田 真一
佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内
(72)発明者 池田 安伸
佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内
(72)発明者 佐野 正和
佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内
(74)代理人 100082784
弁理士 森 正澄

審査官 河本 充雄

最終頁に続く

(54)【発明の名称】 S O I 基板及びその製造方法

1

(57)【特許請求の範囲】

【請求項1】 第1の半導体ウエーハと第2の半導体ウエーハを接着して形成されるS O I 基板において、前記第1の半導体ウエーハは、少なくとも主面側に、格子間酸素濃度が 1×10^{18} atoms/cm³ (old ASTM、以下同じ)以下の層を当該第1の半導体ウエーハに新たに形成して備えるとともに主面が鏡面であり、且つ、前記第2の半導体ウエーハは、少なくとも主面が鏡面であり、前記第1及び第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に酸化膜が形成されて、双方の主面同士が密着されるとともに熱処理されて接着されるものであって、

S O I 層は前記第1の半導体ウエーハに新たに形成して備えたものであってその格子間酸素濃度が 1×10^{18} atoms/cm³以下で且つS O I 層厚が $5 \mu m$ 以下であること

2

を特徴とするS O I 基板。

【請求項2】 第1の半導体ウエーハと第2の半導体ウエーハを接着して形成されるS O I 基板の製造方法において、
前記第1の半導体ウエーハは、少なくとも主面側に、格子間酸素濃度が 1×10^{18} atoms/cm³以下の層を備えるとともに主面が鏡面であり、且つ、前記第2の半導体ウエーハは、少なくとも主面が鏡面であり、前記第1及び第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に酸化膜を形成した後、双方の主面同士を密着するとともに熱処理して接着する工程と、
前記第1の半導体ウエーハの裏面側より薄膜化し、前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層だけを残して、その面を鏡面化する工程と、

を備えたことを特徴とするSOI基板の製造方法。

【請求項3】 前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、800℃以上の温度でエピタキシャル成長によって形成されることを特徴とする請求項2記載のSOI基板の製造方法。

【請求項4】 前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、還元性のあるガス雰囲気中で800℃以上の熱処理によって形成されることを特徴とする請求項2記載のSOI基板の製造方法。

【請求項5】 前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、不活性ガス雰囲気の中で800℃以上の熱処理によって形成されることを特徴とする請求項2記載のSOI基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI構造を持つ半導体基板とその製造方法に関する。

【0002】

【従来の技術】従来、第1の半導体ウエーハと第2の半導体ウエーハとの間に誘電体層を介在させて接着して形成されるSOI (Silicon On Insulator) 基板が知られている。

【0003】この種の半導体基板の製造方法は、以下の通りである。すなわち、第1の半導体ウエーハと第2の半導体ウエーハのうち、少なくとも一方に誘電体層となる酸化膜(SiO₂)を形成しておき、前記2枚の半導体ウエーハを密着させ熱処置を施して、接着ウエーハを形成する。

【0004】その後、ウエーハの鏡面加工時に発生したダレにより生じる接着ウエーハ周辺の未接着部分を研削及びエッチングにより除去し、デバイス形成層となる層を所望の厚みになるように研削した後、仕上げとして鏡面研磨後、SOI基板とする。

【0005】このような従来の接着法によるSOI基板は、例えば、図3(1)～(5)に示すような順序で形成される。

【0006】まず、図3(1)に示すように、2枚のシリコンウエーハ1、2を準備する。

【0007】次に、図3(2)に示すように、シリコンウエーハ1の表面に誘電体層となる酸化膜5を形成する。その後シリコンウエーハ1とシリコンウエーハ2の双方の接着表面の清浄化処理を行い、図3(3)に示すように、シリコンウエーハ1、2を室温で密着する。その後、温度800℃以上で熱処理することにより接着強度を増す。

【0008】次に、図には示していないが、シリコンウエーハ1、2には研磨時に、ウエーハ周辺にダレが発生しており、そのまま双方を接着すると未接着部が生じる。この未接着部は、接着ウエーハを洗浄又は研磨する際、前記未接着部分が剥がれて飛散すると発塵源とな

り、ウエーハ表面がパーティクルで汚染されたり、その一部が表面に付着して加工時に傷つけられたりする。そこで、シリコンウエーハ1の未接着部を幅3mm程度研削し、エッチングによって除去する。9はエッチング後の研削部である。

【0009】その後、図3(4)に示すように、シリコンウエーハ1を裏面より研削し、SOI層を所望の厚みになるように研磨を行う。これにより、活性層厚が2μm以上で均一性が±1μm程度の厚・薄膜SOI基板が形成される。

【0010】この最後に、図3(5)に示すように、月刊Semiconductor World 1994. 4号に記載されているPACE (Plasma-Assisted Chemical Etching) 加工を行い、その後、加工表面に残るエッチング残渣除去及び表面粗さ低減のためにタッチポリッシュ(ポリッシュ量は数10オングストローム～数100オングストローム)を行い、SOI層厚が0.1μm程度で公差が±10%である超薄膜SOI基板を形成する。

【0011】

【発明が解決しようとする課題】前記従来の製造方法により製造された厚・薄膜SOI基板のSOI層を選択エッチングによって結晶欠陥評価を行うと、OSFや酸素析出物の結晶欠陥が観察される。OSFは、酸化膜形成時に、シリコンウエーハ1にOSF核が存在すると、酸化によってシリコン原子が放出されて成長する。また、酸素析出物は、シリコンウエーハ1に酸素析出核が存在すると酸化熱処理及び貼り合わせ熱処理過程で形成される。そのため、一般にシリコンウエーハ1には、低酸素の半導体ウエーハが使用される傾向にある(特開平7-169925号)。

【0012】しかし、低酸素の半導体ウエーハを使用して製造された厚・薄膜SOI基板でも、1000℃、16時間、酸化性雰囲気中で熱処理後、酸化膜を除去しSOI層をライトエッチングによって結晶欠陥評価を行うと、数10/cm²レベルの結晶欠陥が検出され、結晶欠陥フリーを達成することはできなかった。更に、SOI層の結晶欠陥低減には、CZ法でのシリコン単結晶引き上げ段階で存在するOSF核、酸素析出核及び酸素析出物等を、更に低減する必要がある。しかし、それらの結晶欠陥低減をCZ法でのシリコン単結晶引き上げ段階で達成しようとする、結晶引き上げ条件を制約してしまうため、かなり高価なシリコンウエーハになるという欠点がある。また、CZ法でのシリコン単結晶引き上げ段階で完全には結晶欠陥をフリーにすることは困難である。

【0013】また、前記従来の製造方法により製造された超薄膜SOI基板のSOI層を、図4に示すような評価法によって結晶欠陥を評価すると、SOI層に貫通ピットが観察される。

【0014】すなわち、図4(1)は、前記図3(5)に示される超薄膜SOI基板であり、6は結晶欠陥である。これを、希釈選択エッチング(例えば、体積比 5 wt % K₂Cr₂O₇: 48 wt % HF: H₂O = 1: 2: 5 のエッチング液)で結晶欠陥を貫通(図4(2)参照)させる。7は貫通ピットである。その後、25 wt %のHF液に浸漬することにより、貫通ピットを埋め込み酸化膜に転写する。これにより貫通ピット8が顕在化される。

【0015】CZ法で引き上げたシリコン単結晶をウエーハに加工し、SC1洗浄を行うとCOP(Crystal originated Particle)と呼ばれる、深さが0.1 μm程度のピットが検出される。これは、単結晶育成時に形成された結晶欠陥に起因することが数多く報告されている。

【0016】前記貫通ピットは、この結晶欠陥が顕在化したものと考えられる。しかし、通常ウエーハのSC1洗浄を繰り返しピットとして観察される量より多くのピットが検出される。これは、プラズマエッチングの薄膜過程において結晶欠陥が選択的にエッチングされ、ピットとして残ったものの一部が前記評価により貫通ピットになったとも考えられるが、一方、接合面側のSOI層には、既に0.1 μm程度の深さのCOPが存在し、酸化膜を形成した後も残存しているため、プラズマエッチングでの薄膜過程で露出或いは、露出しないまでもSOI層中に存在しており、これが前記評価により貫通ピットになったと考えられる。よって、超薄膜加工前の状態でSC1洗浄の繰り返しによりピットとなる結晶欠陥がないようにすることが必要である。しかし、現状では、この結晶欠陥をCZ法でのシリコン単結晶引き上げ段階でフリーにすることは困難である。

【0017】そこで、本発明は、熱処理又はエピタキシャル成長した第1の半導体ウエーハを用いることにより、SOI層に結晶欠陥のない、製造コストの安価なSOI基板及びその製造方法を提供することを目的としている。

【0018】

【課題を解決するための手段】本願第1請求項に記載した発明は、第1の半導体ウエーハと第2の半導体ウエーハを接着して形成されるSOI基板において、前記第1の半導体ウエーハは、少なくとも主面側に、格子間酸素濃度が 1×10^{18} atoms/cm³ (old ASTM、以下同じ)以下の層を備えるとともに主面が鏡面であり、且つ、前記第2の半導体ウエーハは、少なくとも主面が鏡面であり、前記第1及び第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に酸化膜が形成されて、双方の主面同士が密着されるとともに熱処理されて接着されるものであって、SOI層は前記第1の半導体ウエーハに新たに形成して備えたものであってその格子間酸素濃度が 1×10^{18} atoms/cm³以下で且つSOI層

厚が5 μm以下である構成のSOI基板である。

【0019】本願第2請求項に記載した発明は、第1の半導体ウエーハと第2の半導体ウエーハを接着して形成されるSOI基板の製造方法において、前記第1の半導体ウエーハは、少なくとも主面側に、格子間酸素濃度が 1×10^{18} atoms/cm³以下の層を当該第1の半導体ウエーハに新たに形成して備えるとともに主面が鏡面であり、且つ、前記第2の半導体ウエーハは、少なくとも主面が鏡面であり、前記第1及び第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に酸化膜を形成した後、双方の主面同士を密着するとともに熱処理して接着する工程と、前記第1の半導体ウエーハの裏面側より薄膜化し、前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層だけを残して、その面を鏡面化する工程と、を備えた構成のSOI基板の製造方法である。

【0020】本願第3請求項に記載した発明は、前記第2請求項の発明において、前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、800℃以上の温度でエピタキシャル成長によって形成される構成のSOI基板の製造方法である。

【0021】本願第4請求項に記載した発明は、前記第2請求項の発明において、前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、還元性のあるガス雰囲気中で800℃以上の熱処理によって形成される構成のSOI基板の製造方法である。

【0022】本願第5請求項に記載した発明は、前記第2請求項の発明において、前記格子間酸素濃度が 1×10^{18} atoms/cm³以下の層は、不活性ガス雰囲気の中で800℃以上の熱処理によって形成される構成のSOI基板の製造方法である。

【0023】したがって、本発明によれば、第1の半導体ウエーハに、エピタキシャル成長又は、還元性又は不活性ガス雰囲気中で高温熱処理を行うことにより、CZ法でのシリコン単結晶引き上げで達成できる酸素濃度より低い結晶欠陥の無い層をウエーハの表層として形成することができ、その層をSOI層とすることにより、SOI層に結晶欠陥の無いSOI基板を得ることができる。

【0024】すなわち、エピタキシャル成長により、CZ法でのシリコン単結晶引き上げでは達成できない無欠陥層を形成でき、この層をSOI層とすることで、結晶欠陥の無いSOI基板が得られる。

【0025】また、第1の半導体ウエーハに還元性又は不活性ガス雰囲気中で高温熱処理を行うことにより、第1の半導体ウエーハの表層の結晶欠陥を成長させることなく、酸素の外方拡散、還元作用によって結晶欠陥をシュリンクさせ、消滅させることができる。その層をSOI層とすることで、結晶欠陥の無いSOI基板が得られる。

【0026】一般に、熱処理又はエピタキシャル成長を

行くとウエーハの製造コストが高くなるが、この理由は、基板にプライム品を使用しているためである。貼り合わせによるSOI基板製造においては、第1の半導体ウエーハの極表層しか使用しないため、基板にはダミー品レベルのウエーハが使用でき、新規に結晶を引き上げて加工したウエーハに比べ、安価な第1の半導体ウエーハを得ることができ、低コストなSOI基板の製造が可能となる。ここで、ダミー品レベルとは、プライム品を製造する過程で派生する不良品、例えば形状不良品（反り、フラットネス等）、結晶欠陥不良品、裏面不良品、厚み不良品等で貼り合わせによってボイドを発生しない鏡面状態であるウエーハ、すなわち表面に異物の付着及び局所的な凸凹の無いウエーハである。

【0027】以上のように、本発明によれば、SOI層に結晶欠陥の無い、製造コストの安いSOI基板を提供することができる。

【0028】

【発明の実施の形態】以下、本発明を具体例に基づいて詳細に説明する。図1は本発明に係るSOI基板の製造工程を示す断面図である。

【0029】まず、図1(1)に示すように、少なくとも片面が鏡面研磨された第1の半導体ウエーハ1を準備する。例えば、製造コストを安価にするために、結晶面(100)、P型、比抵抗 $5\Omega\cdot\text{cm}$ の6インチのダミー品レベルの半導体ウエーハを準備する。

【0030】次に、図1(2)に示すように、エピタキシャル炉にて前記半導体ウエーハの表面を水素や塩酸ガスでエッチングし、シランガスを 800°C 以上（例えば 1100°C ）水素ガス雰囲気下で熱分解又は水素還元反応を 800°C 以上（例えば 1100°C ）で起こさせ、 $0.1\mu\text{m}$ 以上、例えば $5\mu\text{m}$ のエピタキシャル成長を行い、半導体ウエーハ上に格子間酸素濃度が $1\times 10^{18}\text{atoms}/\text{cm}^3$ （old ASTM、以下同じ）以下で結晶欠陥の無い層4を形成する。反応温度は、より高温で行ったほうが成長速度が速いため、生産上有利であるが、スリップが発生しやすくなる問題があるため、エピタキシャル炉にあった最適条件にてエピタキシャル成長を行うことが必要である。使用する半導体ウエーハは、できればドーブする不純物と同じ不純物を有する半導体ウエーハを使用する。また、エピタキシャル成長時のオートドーブを防止し、エピタキシャル層の抵抗値を所定の値にするには比抵抗が $1\Omega\cdot\text{cm}$ 以上である半導体ウエーハを使用する方がよい。エピタキシャル成長表面にマウンド等が発生している場合には、研磨を行って除去する。

【0031】次に、図1(3)に示すように、エピタキシャル表面に酸化性雰囲気中で 500°C 以上で、例えば 1100°C で熱処理を行い、第1の半導体ウエーハの表面に 100Å 以上例えば 2000Å の酸化膜5を形成する。酸化性雰囲気とは、酸

素又は水蒸気を含んだ雰囲気である。

【0032】更に、図1(4)に示すように、第1の半導体ウエーハ1及び第2の半導体ウエーハ2を洗浄し、表面に吸着水分やシラノール基を形成した後、室温でボイドが発生しない方法で密着させる。第2の半導体ウエーハ2の表面に酸化膜が形成されていてもよい。第2の半導体ウエーハ2に使用するウエーハの材質は、単結晶シリコン又はポリシリコンばかりでなく、石英、水晶、サファイヤ等でもよい。また、TTV（Total Thickness Variation）は小さい方がよく、できれば $1\mu\text{m}$ 以下が最適である。両面研磨機で加工するとTTVを小さくすることができるので、両面研磨品を使用してもよい。

【0033】その後、 200°C 以上の温度、例えば 1100°C で接着強度が安定する時間、例えば2時間熱処理を行う。この熱処理は、薄膜化工程で剥がれ等の問題がなければ薄膜化した後に行ってもよい。後工程での裏面・面取り部の傷・汚れを防止するには、裏面に酸化膜を形成する方法がよい。熱処理の雰囲気は酸化性雰囲気が良い。

【0034】酸化及び貼り合わせ熱処理において、第1の半導体ウエーハのバルク側の格子間酸素がエピタキシャル層に拡散して欠陥を発生させる可能性あるため、第1の半導体ウエーハの格子間酸素濃度が低い半導体ウエーハを用いた方が最適である。尚、低温、短時間で酸化膜を形成するのが望ましい。

【0035】図1(5)に示すように、周辺の未接合部を、研削・エッチングで除去した後、第1の半導体ウエーハ1の裏面を研削・研磨して、表面にダメージ層の無い、鏡面化されたSOI層厚が $3\pm 1\mu\text{m}$ の薄膜SOI基板を形成する。特に、周辺の剥がれが問題とならない場合は、周辺の未接合部を、研削・エッチングで除去する必要はない。

【0036】最後に、図1(6)に示すように、PAC加工・タッチポリッシュを行い、SOI層厚が $0.1\mu\text{m}\pm 10\%$ の超薄膜SOI基板が製造される。

【0037】図2は本発明の他の具体例に係るSOI基板の製造工程を示す断面図である。

【0038】まず、図2(1)に示すように第1の半導体ウエーハ1は、前記具体例で用いたような半導体ウエーハを準備する。すなわち、少なくとも片面が鏡面研磨された第1の半導体ウエーハで、例えば、結晶面(100)、P型、比抵抗 $5\Omega\cdot\text{cm}$ の6インチのダミー品レベルの半導体ウエーハを準備する。

【0039】次に、図2(2)に示すように、第1の半導体ウエーハ1を 800°C 以上の水素雰囲気中で10分以上、例えば 1150°C で1時間熱処理を行う。このときの流量は $0.001\times 10^{-3}\text{Nm}^3/\text{分}$ 以上例えば $90\times 10^{-3}\text{Nm}^3/\text{分}$ で行う。水素ガスと不活性ガスとの混合ガスでもよい。この処理によって、格子間酸素濃度が $1\times 10^{18}\text{atoms}/\text{cm}^3$ 以下で結晶欠陥の無い

層4が形成される。表層の酸素濃度は、熱処理温度によって決まるため、より高温で熱処理する方が望ましいが、この場合もスリップ及び金属汚染等の問題があるため最適化を計る必要がある。表面が粗れてポイドを発生させるようであれば、研磨を行ってもよい。

【0040】図2(3)に示すように、この表面に、酸化性雰囲気中で500℃以上で、例えば1100℃で熱処理を行い、第1の半導体ウエーハ1の表面に100オングストローム以上、例えば2000オングストロームの酸化膜5を形成する。酸化性雰囲気とは、酸素又は水蒸気を含んだ雰囲気である。この酸化膜形成処理を前記水素雰囲気下の同一熱処理炉で連続して行えば、生産性をよくでき、製造コストを低減することができる。

【0041】その後、図2(4)～(6)に示す工程では、前記第1の具体例と同様な処理により、SOI層厚が0.1μm±10%の超薄膜SOI基板が製造される。

【0042】すなわち、図2(4)に示すように、第1の半導体ウエーハ1及び第2の半導体ウエーハ2を洗浄し、表面に吸着水分やシラノール基を形成した後、室温でポイドが発生しない方法で密着させる。第2の半導体ウエーハ2の表面に酸化膜が形成されていてもよい。

【0043】その後、200℃以上の温度、例えば1100℃で接着強度が安定する時間、例えば2時間熱処理を行う。この熱処理は、薄膜化工程で剥がれ等の問題がなければ薄膜化した後に行ってもよい。後行程での裏面・面取り部の傷・汚れを防止するには、裏面に酸化膜を形成する方法がよいため、熱処理の雰囲気は酸化性雰囲気がいよい。

【0044】酸化及び貼り合わせ熱処理において、第1の半導体ウエーハのバルク側の格子間酸素が低酸素層に拡散して欠陥を発生させる可能性あるため、第1の半導体ウエーハの格子間酸素濃度が低い半導体ウエーハを用いた方が最適である。尚、低温、短時間で酸化膜を形成するのが望ましい。

【0045】図2(5)に示すように、周辺の未接合部を、研削・エッチングで除去した後、第1の半導体ウエーハ1の裏面を研削・研磨して、表面にダメージ層の無い、鏡面化されたSOI層厚が3±1μmの薄膜SOI基板を形成する。特に、周辺の剥がれが問題とならない場合は、周辺の未接合部を、研削・エッチングで除去する必要はない。

【0046】最後に、図2(6)に示すように、PAC

E加工・タッチポリッシュを行い、SOI層厚が0.1μm±10%の超薄膜SOI基板が製造される。

【0047】本例では、水素雰囲気でのアニールを示したが、不活性ガス雰囲気例えばアルゴンガス雰囲気でもよい。

【0048】以上のような加工によって、例えば、SOI層厚が0.1μm±10%程度の超薄膜SOIウエーハが製造される。

【0049】実際に、本発明によって得られたSOI基板のSOI層を前記2種類の欠陥評価で評価したところ、従来法では達成できなかった結晶欠陥フリー及び貫通ピットフリーが達成できた。

【0050】

【発明の効果】以上説明したように、本発明によれば、結晶欠陥の少ない層をSOI層とするため、SOI層中の結晶欠陥が少ないSOI基板を得ることができる。その上、結晶欠陥の少ない層を作る基板に低コストなウエーハが使用できるため、低コストなSOI基板を得ることが可能である。

【0051】このように、本発明の製造方法及びこれにより得られるSOI基板によれば、SOI層中の結晶欠陥が少なく、製造コストが安いSOI基板を得ことができ、更には、SOI基板の幅広いデバイス適用が可能となるものである。

【図面の簡単な説明】

【図1】本発明に係るSOI基板の製造工程を示す断面図である。

【図2】本発明の他の具体例に係るSOI基板の製造工程を示す断面図である。

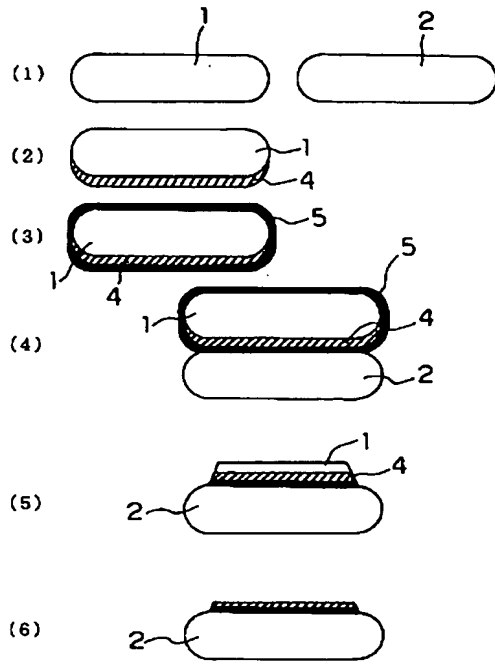
【図3】従来の貼り合わせ法によるSOI基板の製造工程を示す断面図である。

【図4】従来の製造方法で製造した超薄膜SOI基板の結晶欠陥の評価方法を示す断面図である。

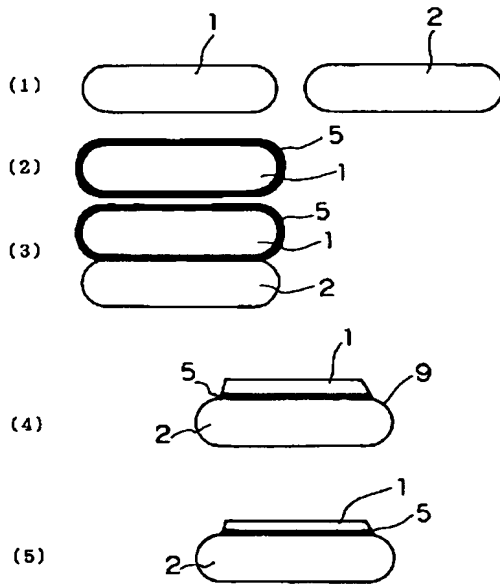
【符号の説明】

- 1 第1の半導体ウエーハ
- 2 第2の半導体ウエーハ
- 4 層
- 5 酸化膜
- 6 結晶欠陥
- 7 貫通ピット
- 8 顕在化した貫通ピット
- 9 研削部

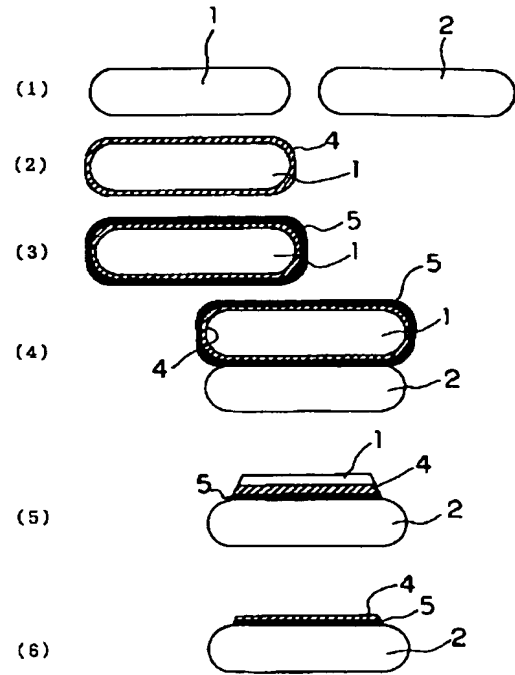
【図1】



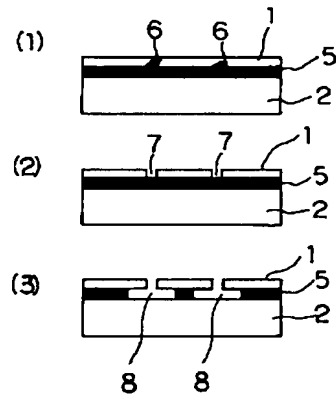
【図3】



【図2】



【図4】



フロントページの続き

(56)参考文献 特開 平7-263652 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B 名)

H01L 27/12

H01L 21/02

H01L 21/304